

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

10059907

Basic Patent (No,Kind,Date): JP 3175632 A2 910730 <No. of Patents: 001>

SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF (English)

Patent Assignee: MITSUBISHI ELECTRIC CORP

Author (Inventor): FUJIKI AKIMASA; HARADA SHIGERU

IPC: *H01L-021/316; H01L-021/205

CA Abstract No: 115(22)246011N

Derwent WPI Acc No: C 91-264470

JAPIO Reference No: 150419E000116

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 3175632	A2	910730	JP 89315864	A	891204 (BASIC)

Priority Data (No,Kind,Date):

JP 89315864 A 891204

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

03512732 **Image available**

SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUB. NO.: 03-175632 [JP 3175632 A]

PUBLISHED: July 30, 1991 (19910730)

INVENTOR(s): FUJIKI AKIMASA
 HARADA SHIGERU

APPLICANT(s): MITSUBISHI ELECTRIC CORP [000601] (A Japanese Company or
 Corporation), JP (Japan)

APPL. NO.: 01-315864 [JP 89315864]

FILED: December 04, 1989 (19891204)

INTL CLASS: [5] H01L-021/316; H01L-021/205

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R004 (PLASMA); R097 (ELECTRONIC MATERIALS -- Metal Oxide
 Semiconductors, MOS)

JOURNAL: Section: E, Section No. 1126, Vol. 15, No. 419, Pg. 116,
 October 24, 1991 (19911024)

ABSTRACT

PURPOSE: To obtain a semiconductor device having a protecting and insulating film characterized by excellent crack resistance and excellent aluminum sliding resistance by using a gas obtained by adding ozone gas into a gas whose main components are organic silane and oxygen, and using a silicon oxide film which is deposited by a plasma CVD method for all or a part of the protecting and insulating film.

CONSTITUTION: A silicon oxide film which is deposited by a plasma CVD method is used for all or a part of a protecting and insulating film 60 in a semiconductor device. At this time, the silicon oxide film is formed by using a gas obtained by adding ozone gas into a gas whose main components are organic silane and oxygen. For example, the protecting and insulating film 60 on a DRAM is formed to the specified film thickness at the temperature of 300-450 deg.C with the ozone gas being added by the plasma CVD method using TEOS{Si(OC(sub 2)H(sub 5))(sub 4))} and the oxygen as the reaction gas. Thus, the protecting and insulating film can be deposited at a wiring step part with good flatness. The mechanical strength of the protecting and insulating film is improved. Aluminum sliding resistance is excellent, and crack resistance also becomes excellent. As a result, the moisture resistance and the reliability of the semiconductor device can be improved.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-175632

⑤ Int. Cl.⁵

H 01 L 21/316
21/205

識別記号

X

庁内整理番号

6940-5F
7739-5F

⑬ 公開 平成3年(1991)7月30日

審査請求 未請求 請求項の数 2 (全6頁)

⑭ 発明の名称 半導体装置およびその製造方法

⑮ 特 願 平1-315864

⑯ 出 願 平1(1989)12月4日

⑰ 発 明 者 藤 木 謙 昌 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑱ 発 明 者 原 田 繁 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 早瀬 恵一

明 細 書

1. 発明の名称

半導体装置およびその製造方法

2. 特許請求の範囲

(1) 半導体装置において、

保護絶縁膜の全てあるいは一部が、有機シランと酸素を主成分とするガスにオゾンガスを添加したガスを用い、プラズマCVD法で堆積したシリコン酸化膜であることを特徴とする半導体装置。

(2) 保護絶縁膜を有する半導体装置の製造方法において、

有機シランと酸素とを主成分とするガスにオゾンガスを添加したガスを用い、プラズマCVD法でシリコン酸化膜を堆積する工程を含むことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は半導体装置に関し、特に半導体装置の保護絶縁膜の性能向上を図ったものである。

(従来の技術)

半導体装置は通常、半導体基板上に素子が形成された後、素子が水分、応力等の外部環境により変化を起こさないように素子表面部に保護絶縁膜が被覆されており、さらに樹脂封止やセラミック・パッケージされて使用される。

第3図は、このような従来の樹脂封止型の半導体装置の構造を示す断面図である。図において、1は素子が形成された半導体チップ(以下、単にチップと称す)、2はチップ1上に被覆された保護絶縁膜、3はチップ1が設置されるダイパッド部3aと外部回路を接続するためのリード部3bからなるリードフレーム、4はチップ1の電極とリード部3bを接続するボンディングワイヤ、5はチップ1を封止し保護するための樹脂封止材である。

この半導体装置のチップ1の構造について、従来のDynamic Random Access Memory(以下、DRAMと称す)を例として説明する。

第4図は従来のDRAMチップ1の要部及びメモリーセル部の断面構造を示す図である。なお、

このメモリーセルは1つのMOS (Metal-Oxide-Semiconductor) トランジスタと1つのキャパシタにより構成されており、P型シリコン基板10の主面上部にn型拡散層であるソース11、ドレイン12が形成され、これらの間にあるP型シリコン基板10の上部には、ゲート酸化膜13を介して多結晶シリコンよりなるゲート電極14が形成されてnチャネル型MOSトランジスタを構成している。そして、このゲート電極14はワード線として働いている。また、上記ソース11となるn型拡散層は図示右側にのびて、その上部にはゲート酸化膜13を介して多結晶シリコンよりなるプレート15が形成されてMOSキャパシタを構成している。そして、このMOSトランジスタとキャパシタの両側にはフィールド酸化膜16が形成されて、他のメモリーセルと素子分離している。ゲート電極14およびプレート15の上には下層の層間膜17が被覆され、その上部には多結晶シリコンよりなるビット線18がコンタクトホール19を介してドレイン12と接続されている。

さらにビット線18の上には上層の層間膜20を介してアルミニウム膜21 (以下A1膜と称す) が形成され、その上に保護絶縁膜2が被覆されている。この保護絶縁膜2としては、350~450℃程度の処理温度でフォスフィン(PH₃)とシラン(SiH₄)と酸素(O₂)の混合ガスを反応ガスとして形成されるPhosph-Silicate-Glass膜 (以下PSG膜と称す)、300~400℃程度の処理温度でシラン(SiH₄)と亜酸化窒素(N₂O)の混合ガスあるいはシラン(SiH₄)と酸素(O₂)の混合ガスを反応ガスとして熱CVD法やプラズマCVD法で形成されるシリコン酸化膜、300~450℃程度の処理温度でシラン(SiH₄)とアンモニア(NH₃)の混合ガスあるいはシラン(SiH₄)と窒素(N₂)の混合ガスを反応ガスとしてプラズマCVD法で形成されるシリコン窒化膜などが用いられる。このように構成されたチップは所定の処理が施されダイパッド部3aに載置され、ボンディングワイヤ4が接続されて、リード3bの所定領域にわた

り樹脂封止材5により封止され、半導体装置が完成する。

(発明が解決しようとする課題)

従来の半導体装置及びその製造方法は以上のよう構成されており、通常、素子表面に保護絶縁膜2が被覆されているが、高集積化、微細化につれて保護絶縁膜2にもさらに高耐湿性、高信頼性が要求されてきている。

第5図を用いて詳述すると、同図は第4図に示す保護絶縁膜2の堆積部分のA部の拡大図で、例えば保護絶縁膜2として熱CVD法によりPSG膜あるいはシリコン酸化膜を堆積した場合、保護絶縁膜2は膜自体に引張応力を有することになる。この場合、膜を堆積した際に膜のステップカバレッジが悪く、層段差底部30に応力の集中しやすい鋭角な形状や平面状部に膜厚の厚い部分31が生じると、膜自体の有する引張応力により30、31のような部位にクラック32a、32bが発生してしまう。そして、このクラック32は保護絶縁膜2の耐湿性、信頼性を大きく低下させてし

まう要因となる。

また、保護絶縁膜2としてプラズマCVD法によりシリコン酸化膜あるいはシリコン窒化膜を堆積した場合、保護絶縁膜2には膜自体に圧縮応力を有することになる。この場合には、膜のステップカバレッジが悪くてもクラック32a、32bは発生しにくい。前記したようにチップ1を樹脂封止材5で封止した場合に、樹脂封止材5の硬化時応力によるクラックが発生してしまう。

ここで樹脂封止材5の応力によりクラックが発生した時の様子を第6図を用いて説明する。同図aは、第4図と同様の樹脂封止された半導体装置の断面図である。また同図bは、同図aに示すB部分の拡大図である。図に示すように樹脂封止材の収縮応力40はチップの中心方向に働く。そのため、図aのB部分のようなチップの外周部では図bに示す様な応力の方向となり、配線の角部分41でこの応力を受けてしまうため、樹脂封止材の応力によるクラック42が発生し、さらに応力が大きい場合には、アルミスライド43とよばれ

るA1配線21の変形を生じ、半導体装置の電気特性を劣化させてしまう。

上述のような保護絶縁膜のクラック32a、32bや樹脂封止材の応力によるクラック42、アルミスライド43は、半導体装置の微細化、高性能化により配線形状、構造が複雑になる程顕著に発生し、信頼性上大きな問題である。

上述したような保護絶縁膜のもつ欠点を解消する方法として、『プラズマCVD法により、300～450℃の温度で有機シラン、例えばTEOS (Tetra ethyl ortho silicate ; テトラエトキシシラン; $\text{Si}(\text{OC}_2\text{H}_5)_4$)と酸素(O_2)を反応ガスとして堆積するシリコン酸化膜(以下、プラズマTEOS酸化膜と称す)』や、『熱CVD法により、300～450℃の温度で有機シラン、例えばTEOS ($\text{Si}(\text{OC}_2\text{H}_5)_4$)とオゾン(O_3)を反応ガスとして堆積するシリコン酸化膜(以下、オゾンTEOS酸化膜と称す)』などのように、有機シランを反応ガスとして用いることにより化学気相反応の際に基板表面反応の

割合を大きくして、従来のシラン(SiH_4)を用いた場合に比べ、ステップカバレッジに優れたシリコン酸化膜を用いようという試みがある。

しかしながら、前者のプラズマTEOS酸化膜51(第7図b)は従来のシラン(SiH_4)を用いたシリコン酸化膜50(第7図a)に比べればステップカバレッジは良好であるものの、プラズマCVD法を用いているためにプラズマ中での気相反応の割合が比較的大きく配線間隔の狭い部分では空洞52を生じてしまうことになる。

また、後者のオゾンTEOS酸化膜53(第7図c)は、基板表面での化学気相反応(この場合、表面縮合化反応)の割合が大きく、非常に良好なステップカバレッジであるが、膜自身が引張応力を有するため、膜厚が大きくなるとクラック54が発生しやすいという問題点がある。

この発明は上記のような問題点を解消するためになされたもので、耐クラック性に優れ、かつアルミスライド耐性も良好な保護絶縁膜を有する半導体装置を得ることを目的とする。

(課題を解決するための手段)

この発明に係る半導体装置及びその製造方法は、保護絶縁膜の全てあるいは一部を、有機シランと酸素を主成分とするガスにオゾンガスを添加したガスを用いて、プラズマCVD法で堆積したシリコン酸化膜としたものである。

(作用)

この発明においては、保護絶縁膜として、有機シランと酸素を反応ガスとするプラズマCVD法において、オゾンガスを添加することにより、基板表面での気相反応(表面縮合化反応)の割合を多くできるので、耐クラック性、ステップカバレッジともに優れたシリコン酸化膜を形成することができ、配線段差部分を平坦性よく被覆することができる。

(実施例)

以下、この発明の一実施例を図について説明する。

第1図はこの発明の一実施例による半導体装置の断面構造を示す図で、図において、第4図と同

一符号は同一または相当部分を示し、60は保護絶縁膜である。

また第2図は、第1図の保護絶縁膜60の堆積部分のC部の拡大図である。すなわち、保護絶縁膜60は有機シラン、例えばTEOS ($\text{Si}(\text{OC}_2\text{H}_5)_4$)と酸素(O_2)を反応ガスとしたプラズマCVD法で、オゾン(O_3)ガスを添加しながら300～450℃の温度で、所定膜厚に形成される。

このように本実施例では、シリコン酸化膜を、『プラズマCVD法により、300～450℃の温度で有機シラン、例えばTEOS ($\text{Si}(\text{OC}_2\text{H}_5)_4$)と酸素(O_2)を反応ガスとして堆積するシリコン酸化膜(プラズマTEOS酸化膜)』において、反応ガスとしてオゾン(O_3)を添加して形成するようにしたので、基板表面での気相反応(表面縮合化反応)の割合が多くなり、プラズマTEOS酸化膜では不十分であったステップカバレッジを良好なものとすることができる。すなわち、オゾン(O_3)ガスを添加することで、

クラック耐性に優れ、かつステップカバレッチも良好となるため平坦性が向上し、アルミスライド耐性にも優れた保護絶縁膜60を得ることができる。

なお、上記実施例では、TEOS (Si (OC₂H₅)₄) と酸素 (O₂) を反応ガスとするプラズマCVD法で、オゾン (O₃) ガスを添加しながら形成するシリコン酸化膜のみで保護絶縁膜60のすべてを形成する場合について述べたが、さらに耐湿性・モールドの応力に対する機械的強度を向上させる目的で堆積した保護絶縁膜と他の絶縁膜、例えば「シラン (SiH₄) とアンモニア (NH₃) を反応ガスとして、プラズマCVD法で形成するシリコン窒化膜」を組み合わせてもよい。

また、上記実施例では、有機シランの一例としてTEOS (Si (OC₂H₅)₄) を用いた場合を示したが、他の有機シラン、例えばテトライソプロポキシシラン (Si (OC₃H₇)₄) や、テトラメトキシシラン (Si (OCH₃)₄)、

DADBBS (ジ・ターシャリブトキシ・ジ・アセトキシシラン: (tC₄H₉O)₂Si (OOCCH₃)₂) などを用いても同様の効果を奏する。

また、上記実施例では有機シランと酸素にオゾンを添加して保護絶縁膜を形成する場合について述べたが、さらに膜の耐クラック性を向上させる目的で、リン (P) やボロン (B) 等をシリコン酸化膜中にドーピングする手段として、TMP (リン酸トリメチルエステル: PO (OC₂H₅)₃) やTMB (ボロンエチラート: B (OC₂H₅)₃) 等を添加してもよい。

また、上記実施例では配線21の材料がアルミニウムの場合について述べたが、配線21の材料はこれに限るものではなく、例えば、タングステン (W)、チタン (Ti)、モリブデン (Mo) 等の高融点金属やこれらのシリサイド配線 (WSi₂, TiSi₂, MoSi₂) あるいは多結晶シリコン配線の場合であってもよく、上記と同様の効果を奏する。

(発明の効果)

以上のようにこの発明に係る半導体装置及びその製造方法によれば、有機シランと酸素を反応ガスとするプラズマCVD法において、オゾンガスを添加しながらシリコン酸化膜を形成するようにしたので、保護絶縁膜を配線断差部で平坦性良く厚く堆積することができ、保護絶縁膜の機械的強度が向上し、アルミスライド耐性にすぐれ、またクラック耐性にもすぐれたものとなり、この結果、半導体装置の耐湿性・信頼性を向上させることができる効果がある。

4. 図面の簡単な説明

第1図はこの発明の一実施例による半導体装置の断面構造を示す図。第2図は第1図のC部を拡大図。第3図は従来の半導体装置の断面構造を示す図。第4図は従来のDRAMチップの要部及び、メモリーセル部の断面構造を示す図。第5図ないし第7図は従来の保護絶縁膜形成方法の問題点を説明するための図である。

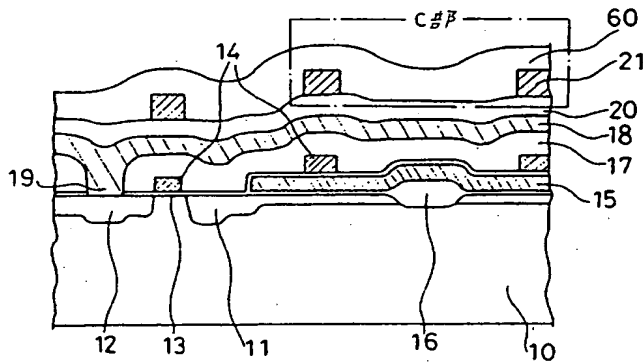
図において、10はP型シリコン基板、11は

ソース、12はドレイン、13はゲート酸化膜、14はゲート電極 (ワード線)、15はプレート、16はフィールド酸化膜、17は下層の層間膜、18はビット線、19はコンタクトホール、20は上層の層間膜、21はアルミニウム配線、60は保護絶縁膜である。

なお図中同一符号は同一又は相当部分を示す。

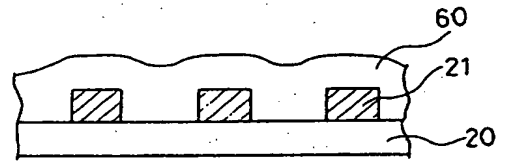
代理人 早 瀬 憲 一

第 1 図

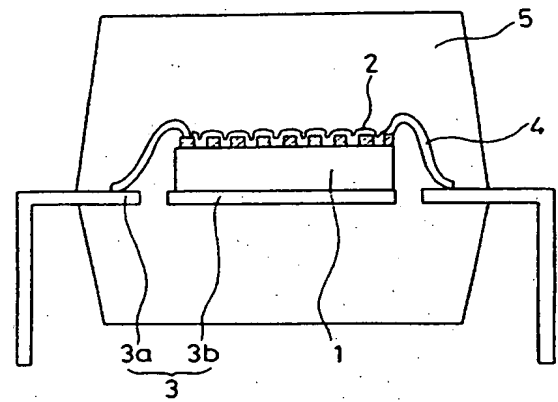


- | | |
|-----------------|--------------|
| 10: p型シリコン基板 | 11: ソース |
| 12: ドレイン | 13: ゲート酸化膜 |
| 14: ゲート電極(ワード線) | 15: フレーム |
| 16: フィールド酸化膜 | 17: 下層の層間膜 |
| 18: ヒット線 | 19: コンタクトホール |
| 20: 上層の層間膜 | 21: アルミニウム配線 |
| 60: 保護絶縁膜 | |

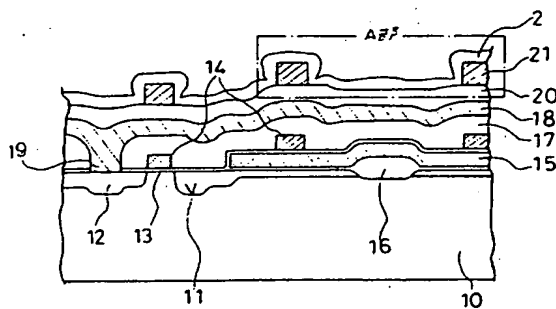
第 2 図



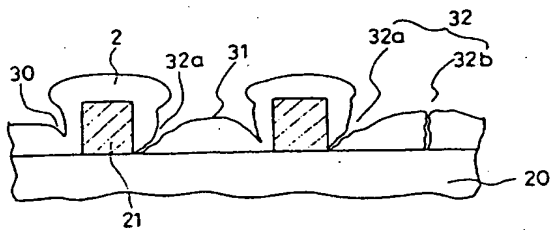
第 3 図



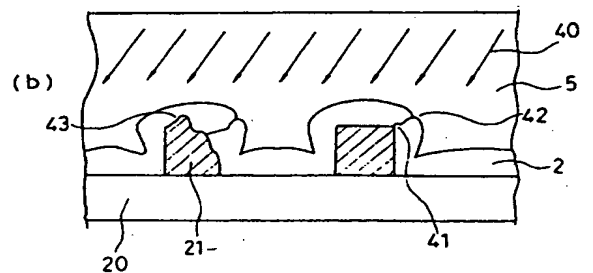
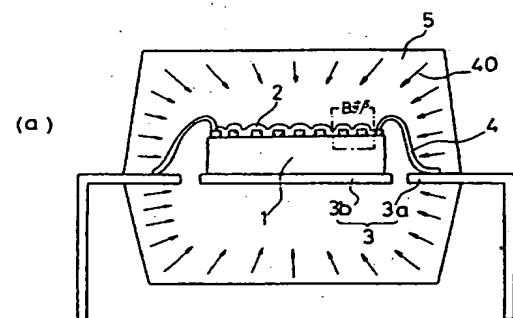
第 4 図



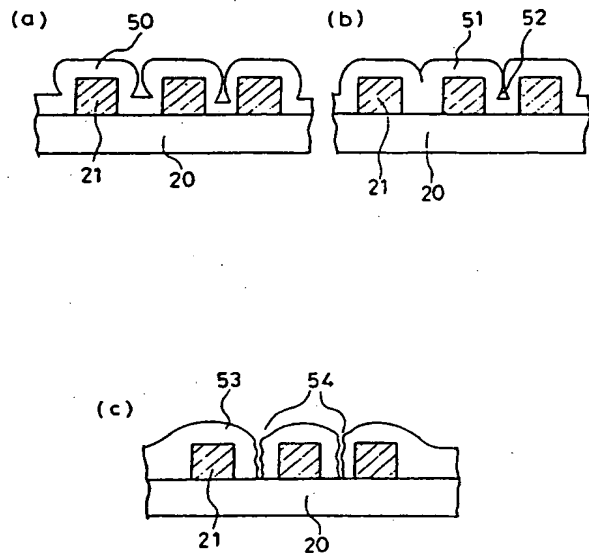
第 5 図



第 6 図



平成 2 年 4 月 7 日



特許庁長官 殿

1. 事件の表示

特願平 1 - 3 1 5 8 6 4 号

2. 発明の名称

半導体装置およびその製造方法

3. 補正をする者

事件との関係 特許出願人

住 所 東京都千代田区丸の内二丁目 2 番 3 号

名 称 (601) 三菱電機株式会社

代表者 志 岐 守 哉

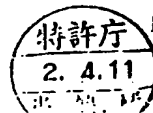
4. 代理人 郵便番号 564

住 所 大阪府吹田市江坂町 1 丁目 23 番 43 号

ファサード江坂ビル 7 階

氏 名 (8181) 弁理士 早 瀬 憲 一

電話 06-380-5822



方式



5. 補正の対象

明細書の発明の詳細な説明の欄及び図面の簡単な説明の欄

6. 補正の内容

(1) 明細書第 2 頁第 17 行の「Dymmic Random Access Memory」を「Dynamic Random Access Memory」に訂正する。

(2) 同頁第 19 行～第 20 行の「チップ 1 の要部及びメモリーセル部」を「チップ 1 の要部のうちメモリーセル部」に訂正する。

(3) 同第 4 頁第 7 行～第 8 行の「Phosph-Silicate-Glass 膜」を「Phospho-Silicate-Glass 膜」に訂正する。

(4) 同第 13 頁第 16 行の「DRAMチップの要部及び」を「DRAMチップの要部のうち」に訂正する。

以 上